

DPW

Docket No.: MUH-12735

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

By  Date _____

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/623,824 Confirmation No: 5764
Applicant : Hans-Heinrich Viehmann
Filed : July 21, 2003
Art Unit : 2818
Examiner : Huan Hoang
Title : Selection Device for a Semiconductor Memory Device
Docket No. : MUH-12735
Customer No. : 24131
Date of Notice of Allowance: December 21, 2004

PETITION UNDER 37 CFR 1.55(a)

Commissioner for Patents,
P.O. Box 1450, Alexandria, VA 22313-1450
Sir:

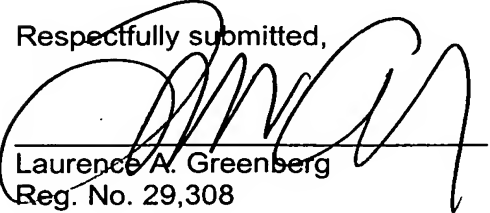
The Issue Fee in the instant application was paid on March 21, 2005. Undersigned counsel has now received the enclosed priority document.

Applicant herewith petitions that the German priority document 101 02 431.2 dated January 19, 2001 be entered of record in the instant application.

Claim for priority is herewith made.

The petition fee under 37 CFR 1.17(i) in the amount of \$130.00 is enclosed herewith.

Respectfully submitted,


Laurence A. Greenberg
Reg. No. 29,308

Date: April 25, 2005

LERNER AND GREENBERG, P.A.
POST OFFICE BOX 2480
HOLLYWOOD, FL 33022-2480
TEL: (954) 925 - 1100
FAX: (954) 925 - 1101
/av

04/28/2005 SFELEKE1 00000064 10623824 130.00 DP
01 FC:1464

BUNDESREPUBLIK DEUTSCHLAND



BEST AVAILABLE COPY

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen:

101 02 431.2

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

Anmeldetag:

19. Januar 2001

Anmelder/Inhaber:

Infineon Technologies AG, 81669 München/DE

Bezeichnung:

Auswahleinrichtung für eine Halbleiterspeicherein-
richtung

IPC:

G 11 C 7/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.

München, den 18. April 2005
Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

Holt

**Deutsches Patent- und Markenamt
Der Präsident**

Patentanwälte
Müller Hoffmann & Partner
Innere Wiener Strasse 17
81667 München

München, den 18. April 2005

Postanschrift:

Deutsches Patent- und Markenamt, 80297 München

Haus- und Lieferanschrift:

Zweibrückenstraße 12, 80331 München

Telefon: (0 89) 21 95 - 2615

Telefax: (0 89) 21 95 - 22 21

Kernarbeitszeit:

Mo - Do 9.00 - 15.00 Uhr, Fr. 8.30 - 14.00 Uhr

Geschäfts-Nr.:

Bitte in der Antwort stets die Geschäftsnummer angeben

**Bescheinigung über die Bearbeitungsdauer eines Prioritätsbeleges
im Deutschen Patent- und Markenamt
zur Vorlage für Anmeldungen in U.S.A**

Mit Schreiben vom 07. Februar 2005 wurde von der Patentanwaltskanzlei Müller Hoffmann & Partner in München ein Prioritätsbeleg zum Aktenzeichen DE 101 02 431.2 beantragt.

Trotz mehrfacher Mahnungen und telefonischer Nachfragen durch die Antragstellerin (Kanzlei Müller Hoffmann & Partner, München) ist der Prioritätsbeleg wegen intern fehlgeleiteter Nachgänge vom Deutschen Patent- und Markenamt nicht fristgerecht gefertigt worden.

Es wird bestätigt, dass die verspätete Bearbeitung durch das Deutsche Patent- und Markenamt verursacht wurde.

Im Auftrag



Scheffer

MÜLLER & HOFFMANN - PATENTANWÄLTE

European Patent Attorneys - European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte: 10.842

Ko/bx

Anmelderzeichen: 2000 22722
(2000 E 22518 DE)

19.01.2001

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

Auswahleinrichtung für eine Halbleiterspeichereinrichtung

BEST AVAILABLE COPY

Beschreibung

Auswahleinrichtung für eine Halbleiterspeichereinrichtung

- 5 Die Erfindung betrifft eine Auswahleinrichtung für eine Halbleiterspeichereinrichtung oder dergleichen gemäß dem Oberbegriff des Anspruchs 1.

10 Moderne Halbleiterspeichereinrichtungen weisen einen Speicherbereich mit einer Mehrzahl von Speicherelementen oder Speicherzellen auf. Die Speicherelemente oder Speicherzellen sind dabei oft in einer matrixartigen Anordnung ausgebildet und über Zugriffsleitungseinrichtungen, zum Beispiel Bitleitungen und Wortleitungen, ansprechbar, um den Speicherzu-

15 stand oder Informationszustand jedes Speicherelements oder jeder Speicherzelle auszulesen und/oder zu verändern.

Das Ansprechen oder die Adressierung und somit der Zugriff erfolgen dabei in der Regel über entsprechende Auswahleinrichtungen gemäß einer Zeilenauswahl, zum Beispiel für die Wortleitungen, sowie durch eine Spaltenauswahl, zum Beispiel für die Bitleitungen. Dabei bildet das System der matrixartig angeordneten Speicherzellen sowie der ausgewählten und der nicht ausgewählten Zugriffsleitungen ein Netzwerk Ohmscher Widerstände, wobei insbesondere die Zellenwiderstände

20 der einzelnen Speicherelemente oder Speicherzellen zu berücksichtigen sind.

Durch die Auswahl einer entsprechenden Wortleitung und einer entsprechenden Bitleitung soll, insbesondere beim Lesen, genau eine wohldefinierte Speicherzelle oder ein wohldefinier-

30 tes Speicherelement angesprochen werden. Aufgrund der netzwerkartigen Verschaltung der Mehrzahl der Speicherzellen oder der Speicherelemente des Speicherbereichs treten aber

35 neben dem den Speicherzustand der angesprochenen Zelle repräsentierenden Signal auch sogenannte parasitäre Signale

aus den nicht ausgewählten Speicherelementen oder Speicherzellen und/oder den entsprechenden Zugriffsleitungen auf. Diese parasitären Signale überlagern sich dem eigentlich zu detektierenden und zu analysierenden Signal der selektierten Zelle und können zu Verfälschungen führen.

Zur Unterdrückung dieser parasitären Signale oder zur Reduzierung ihres Einflusses bedient man sich üblicherweise einer Leseverstärkereinrichtung, durch welche die Potenzialdifferenz über den nicht selektierten Speicherbereich und der damit im Zusammenhang stehende elektrische Strom möglichst klein, zumindest jedoch konstant, gehalten werden kann, so dass das zu detektierende Signal der selektierten Zelle, gerade bei MRAM-Zellen auf der Basis einer sogenannten Cross-Point-Anordnung, von den parasitären Signalen unterschieden werden kann.

Problematisch bei herkömmlichen Auswahleinrichtungen ist, dass unter realen Bedingungen beim Lesevorgang, insbesondere von MRAM-Zellen, der Lese Strom über die Mehrzahl nicht durchgeschalteter Schaltelemente, insbesondere in der Form von Transistoreinrichtungen oder dergleichen, zu Spannungsabfällen führt, so dass die Spannung oder das Potenzial der auszulesenden Zugriffsleitungseinrichtung oder Bitleitung durch den Leseverstärker nicht auf den korrekten Wert geregelt werden kann.

Der Erfindung liegt die Aufgabe zugrunde, eine Auswahleinrichtung für eine Halbleiterspeichereinrichtung anzugeben, bei welcher Betriebsstörungen durch die durch Lese Ströme verursachte Spannungsabfälle auf besonders einfache Weise und gleichwohl zuverlässig vermieden werden können.

Die Aufgabe wird bei einer gattungsgemäßen Auswahleinrichtung erfindungsgemäß durch die kennzeichnenden Merkmale des Anspruchs 1 gelöst. Vorteilhafte Weiterbildungen der erfin-

dungsgemäßen Auswahleinrichtung sind Gegenstand der abhängigen Unteransprüche.

Die gattungsgemäße Auswahleinrichtung für eine Halbleiterspeichereinrichtung oder dergleichen weist für jede auswählbare Zugriffsleitungseinrichtung, insbesondere für jede Bitleitungseinrichtung oder dergleichen, zum Zugriff auf Speicherelemente des Speicherbereichs der Halbleiterspeichereinrichtung, welche mit der jeweiligen auswählbaren Zugriffsleitungseinrichtung verbunden sind, jeweils eine zugeordnete Schalteinrichtung oder dergleichen auf. Dabei ist im Betrieb durch die Schalteinrichtung die jeweilige Zugriffsleitungseinrichtung bei Auswahl mit einer Leseverstärkereinrichtung steuerbar verbindbar, und zwar mit einem Potenzialabtastanschluss der Leseverstärkereinrichtung zum Erfassen des elektrischen Potenzials der jeweiligen Zugriffsleitungseinrichtung und mit einem Stromeinspeiseanschluss der Leseverstärkereinrichtung zum Einspeisen eines Kompensationsstroms in die jeweilige Zugriffsleitungseinrichtung.

Bei der erfindungsgemäßen Auswahleinrichtung ist es vorgesehen, dass jede Schalteinrichtung jeweils ein erstes und ein zweites Schaltelement aufweist. Im Betrieb ist durch das erste Schaltelement die zugeordnete Zugriffsleitungseinrichtung mit dem Potenzialabtastanschluss der Leseverstärkereinrichtung verbindbar. Ferner ist im Betrieb durch das zweite Schaltelement die zugeordnete Zugriffsleitungseinrichtung mit dem Stromeinspeiseanschluss der Leseverstärkereinrichtung verbindbar.

Bei herkömmlichen Auswahleinrichtungen ist für jede auswählbare Zugriffsleitungseinrichtung, insbesondere Bitleitung oder dergleichen, im Wesentlichen ein einziges Schaltelement vorgesehen. Durch dieses einzige Schaltelement wird in herkömmlicher Weise die jeweils zugeordnete Zugriffsleitungseinrichtung insgesamt mit dem Potenzialabtastanschluss und

gleichzeitig mit dem Stromeinspeiseanschluss der zugeordneten Leseverstärkereinrichtung verbunden. Bei der herkömmlichen Anordnung fließt im Betrieb im realen Anwendungsfall auch über die nicht durchgeschalteten Schaltelemente, z. B. über Schalttransistoren, ein gewisser Lesestrom, der zu einem nicht kontrollierbaren Spannungsabfall über die gesamte Auswahleinrichtung führt, welcher durch die Leseverstärkereinrichtung insgesamt nicht ausgeregelt werden kann. Folglich kann bei herkömmlichen Auswahleinrichtungen durch die angeschlossenen Leseverstärkereinrichtungen keine definierte Spannung am Ende der jeweiligen ausgewählten Bitleitungseinrichtungen aufrechterhalten werden.

Bei der erfindungsgemäßen Vorgehensweise dagegen sind zwei Schaltelemente vorgesehen, wobei das erste Schaltelement jeweils eine Verbindung zum Potenzialabtastanschluss und das zweite Schaltelement parallel dazu eine Verbindung zum Stromeinspeiseanschluss der Leseverstärkereinrichtung herstellen kann. Bei ausgewählter Zugriffsleitungseinrichtung, d.h. ausgewählter Bitleitung, ist das erste Schaltelement durchgeschaltet, und es ist ein Kontakt mit dem Potenzialabtastanschluss der Leseverstärkereinrichtung hergestellt. Da Potenzialabtastanschlüsse relativ hochohmig ausgebildet sind, fließt über das geschlossene erste Schaltelement im Wesentlichen kein Lesestrom, so dass die Größe des Widerstands des ersten Schaltelements und somit der darüber abfallende Spannungsabfall unerheblich sind. Der Potenzialabtastanschluss kann somit das am Ende der Zugriffsleitungseinrichtung, insbesondere der Bitleitungseinrichtung, vorliegende elektrische Potenzial exakt erfassen.

Durch das parallel dazu vorgesehene zweite Schaltelement, welches bei Auswahl ebenfalls durchgeschaltet oder geschlossen vorliegt, regelt die angeschlossene Leseverstärkereinrichtung über den entsprechenden Anschluss den Kompensationsstrom solange nach, bis die über das erste, geschlossene

Schaltelement detektierte Potenzialdifferenz den korrekten Wert annimmt. Somit ist der Widerstand des zweiten Schaltelements ebenfalls nahezu ohne Bedeutung, weil dessen Einfluss von der Leseverstärkereinrichtung gerade ausgeglichen werden kann. Der von der Leseverstärkereinrichtung aufgebraachte Kompensationsstrom wird ausgewertet und spiegelt jeweils den ausgelesenen Programmierzustand der selektierten Speicherzelle oder des selektierten Speicherelements wider.

Die grundlegende Idee der vorliegenden Erfindung besteht also darin, bei der Auswahleinrichtung zwei Schaltelemente in Parallelschaltung zueinander zur Kontaktierung mit dem Potenzialabtastanschluss einerseits und dem Stromeinspeiseanschluss andererseits auszubilden, so dass die Spannungsabfälle über die Ohmschen Widerstände der Schaltelemente aufgrund des Regelmechanismus ausgeglichen werden können und keinerlei Bedeutung haben.

Dazu sind die vorgesehenen ersten und zweiten Schaltelemente jeweils im Wesentlichen parallel zueinander verschaltet ausgebildet.

Ferner ergibt sich ein besonders einfacher Betrieb der erfindungsgemäßen Auswahleinrichtung, wenn durch die Schaltelemente jeweils im Wesentlichen zwei Schaltzustände ausbildbar sind, insbesondere jeweils ein durchgeschalteter oder kontaktierender und ein nicht durchgeschalteter oder trennender Schaltzustand.

Eine besonders zuverlässige Regelung oder ein besonders geringer Einfluss der Ohmschen Widerstände der Schaltelemente ergibt sich, wenn durch das erste Schaltelement im ersten, durchgeschalteten oder kontaktierenden Zustand, ein vergleichsweise niederohmiger Kontakt herstellbar ist, insbesondere mit dem Potenzialanschluss der Leseverstärkereinrichtung.

BEST AVAILABLE COPY

Besonders einfach gestaltet sich die erfindungsgemäße Auswahl-
einrichtung dann, wenn die Schaltelemente als Transi-
storeinrichtungen ausgebildet sind, insbesondere als MOS-
5 FETs, oder dergleichen.

Dabei ist es bevorzugt vorgesehen, dass jeweils Drainberei-
che der Transistoreinrichtungen mit der zugeordneten Zu-
griffsleitungseinrichtung verbunden ausgebildet sind. Ferner
10 ist es vorgesehen, dass jeweils Sourcebereiche der Transi-
storeinrichtungen mit dem jeweiligen Potenzialabtastan-
schluss bzw. dem Stromeinspeiseanschluss der zugeordneten
Leseverstärkereinrichtung verbunden ausgebildet sind.

15 Grundsätzlich kann jede Zugriffsleitungseinrichtung, insbe-
sondere jede Bitleitungseinrichtung, jeweils einer separaten
Leseverstärkereinrichtung zugeordnet sein, so dass durch je-
de Schalteinrichtung bei Auswahl der entsprechenden zugeord-
neten Zugriffsleitungseinrichtungen auch eine entsprechende
20 Leseverstärkereinrichtung ausgewählt wird.

Andererseits ergibt sich ein besonders platzsparendes Kon-
zept, wenn die Mehrzahl der Ausgangsanschlüsse, insbesondere
der Sourcebereiche, der ersten und zweiten Schaltelemente
25 jeweils mit einer gemeinsamen Leitungseinrichtung und über
diese mit einer gemeinsamen Leseverstärkereinrichtung ver-
bunden ist.

Das bedeutet insgesamt, dass eine Mehrzahl auswählbarer Zu-
30 griffsleitungseinrichtungen durch eine einzige, gemeinsame
Leseverstärkereinrichtung auslesbar ist. Durch die gemeinsa-
men Leitungseinrichtungen werden dann zum einen die Aus-
gangsanschlüsse der ersten Schaltelemente gemeinsam mit dem
einzigsten Potenzialabtastanschluss der gemeinsamen Lesever-
35 stärkereinrichtung verbunden. Andererseits werden durch die
zweite gemeinsame Leitungseinrichtung sämtliche Ausgangsan-

schlüsse der zweiten Schaltelemente mit dem gemeinsamen
Stromeinspeiseanschluss des gemeinsamen Leseverstärkers ver-
bunden. Es ist somit insgesamt für die so organisierte Grup-
pe von Speicherzellen oder auswählbaren Zugriffsleitungsein-
richtungen insgesamt nur eine einzige Leseverstärkereinrich-
5 tung notwendig.

Nachfolgend wird die Erfindung anhand bevorzugter Ausführ-
10 rungsformen auf der Grundlage einer schematischen Zeichnung
näher erläutert.

Fig. 1 zeigt anhand eines schematischen Schaltungsdiagramms den grundlegenden Aufbau einer Spei-
chereinrichtung unter Verbindung der erfindungs-
15 gemäßen Auswahleinrichtung.

Fig. 2 zeigt anhand eines schematischen Schaltungsdiagramms Details der Verschaltung einer Ausführ-
20 rungsform der erfindungsgemäßen Auswahleinrichtung.

Fig. 1 zeigt in einer schematischen Schaltungsanordnung den
25 grundsätzlichen Aufbau einer Halbleiterspeichereinrichtung 1
unter Verwendung einer Ausführungsform der erfindungsgemäßen
Auswahleinrichtung 10.

Die Halbleiterspeichereinrichtung 1 weist einen Speicherbe-
reich 2 auf. Dieser besteht aus einer matrixartigen Anord-
30 nung von Speicherzellen 3 und 3', wobei die Speicherzellen
oder Speicherelemente 3' in dem in Fig. 1 gezeigten Zustand
der Halbleiterspeichereinrichtung 1 nicht zum Auslesen se-
lektiert sind. Dagegen ist das Speicherelement 3 des Spei-
cherbereichs 2 zum Auslesen ausgewählt oder selektiert. Zu
35 dieser Auswahl oder Selektion ist in Fig. 1 die Wortleitung
WLi zusammen mit der Bitleitung BLk der Zugriffsleitungsein-

richtungen 6 bzw. 4 durch entsprechende Schaltzustände der Zeilenselektoren oder -multiplexer 8 bzw. Spaltenselektoren oder -multiplexer 7 realisiert. Sowohl die Zeilenselektoren als auch die Spaltenselektoren 8 bzw. 7 können die erfindungsgemäß beschriebene Struktur aufweisen.

Die selektierte Wortleitung WLi liegt auf der Wortleitungsspannung oder Lesespannung Vwl. Sämtliche nicht selektierten Wortleitungen oder Bitleitungen der Zugriffsleitungseinrichtungen 6 und 4 liegen auf der Äquipotenzialspannung oder Ausgleichsspannung Veq. Im Idealfall liegt auch die selektierte Bitleitung BLk an ihrem Ende, nämlich am Knoten 7a und also am Potenzialabtastanschluss 22 der Leseverstärkeranordnung 20 auf der Äquipotenzialspannung Veq.

Fig. 1 gibt insbesondere die Beschaltung beim Auslesen einer Cross-Point-MRAM-Speichermatrix wider. Aus der Anordnung der Fig. 1 ergibt sich auch, dass durch die Ohmschen Widerstände RC1 und RC2 der entsprechenden Speicherzellen 3' keine parasitären Ströme fließen, welche das Lesesignal der selektierten Speicherzelle 3 mit ihrem Ohmschen Widerstand RC stören können. Auch die Ströme durch RC3 führen zu keiner wesentlichen Störung des Lesesignals.

Fig. 1 zeigt auch, dass durch den dargestellten Spaltenmultiplexer 7 oder die Auswahleinrichtung 10 für die Bitleitungen BLj jeweils eine bestimmte Bitleitung BLk der Speichereinrichtung 1 an den Eingang 22 der Leseverstärkereinrichtung 20 geschaltet werden kann.

Bei herkömmlichen Anordnungen ist es nicht möglich, eine entsprechende Anzahl von Schaltelementen oder Schaltertransistoren, nämlich entsprechend der Anzahl auswählbarer Zugriffsleitungseinrichtungen oder Bitleitungen, für den Spaltenmultiplexer einfach zwischen die Bitleitungen des MRAM-Arrays und den Eingang des Leseverstärkers 20 zu schalten.

Dann nämlich müsste der Lese Strom über die jeweiligen Schaltertransistoren fließen und würde zu einem unkontrollierbaren Spannungsabfall führen, der durch den Leseverstärker 20 nicht ausgeregelt werden könnte. Damit würde sich bei herkömmlichen Anordnungen am Ende der ausgewählten Bitleitung BLk keine definierte Spannung einstellen oder durch die Verstärker 20 gehalten werden können.

Fig. 2 zeigt anhand eines schematischen Schaltungsdiagramms eine Ausführungsform der erfindungsgemäßen Auswahleinrichtung 10 bei Verwendung in einer Halbleiterspeichereinrichtung 1.

Der Speicherbereich 2 der Halbleiterspeichereinrichtung 1 weist eine zum Auslesen selektierte Speicherzelle 3 sowie nicht selektierte Speicherzellen 3' auf. Die in Zusammenhang mit diesen selektierten und nicht selektierten Speicherzellen 3 bzw. 3' bestehenden Ohmschen Widerstände sind mit RC bzw. Rpar' bezeichnet. Die durch die selektierten und nicht selektierten Speicherzellen 3 bzw. 3' fließenden elektrischen Ströme werden als Zellstrom Ic bzw. als Parallelstrom Ipar bezeichnet.

Die angeschlossene Auswahleinrichtung 10 ist in diesem Fall als Spaltenauswahleinrichtung 7 ausgebildet. In der Fig. 2 ist ausschließlich die Schalteinrichtung 12 für die Auswahl der k-ten Bitleitung BLk dargestellt. Die entsprechenden Schaltelemente T1, T2 sind als MOSFETs ausgebildet und weisen Drainbereiche D1, D2, Sourcebereiche S1, S2, sowie Gatebereiche G1 und G2 auf.

Die ersten und zweiten Schaltelementen T1 und T2 sind vom Knoten 12a ausgehend in Parallelschaltung zueinander angeordnet. Die Drainbereiche D1 und D2 sind dabei direkt mit der k-ten Bitleitung BLk verbunden. Die Sourcebereiche S1 und S2 der Schaltelemente T1 und T2 sind mit dem Potenzial-

ab tastanschluss 22 bzw. dem Stromeinspeiseanschluss 24 der
Leseverstärkereinrichtung 20 verbunden. Über den Anschluss
21 wird die Ausgleichsspannung oder Äquipotenzialspannung
Veq zugeführt. Über den Ausgang 23 der Leseverstärkerein-
5 richtung 20 wird das ausgewertete Auslesesignal Vout bereit-
gestellt, durch welches der Informations- oder Speicherzu-
stand der selektierten Speicherzelle 3 repräsentiert wird.

Die auszulesende Bitleitung BLk des Speicherbereichs 2
10 selbst wird hier als Serienschaltung der entsprechenden Wi-
derstände Rpar' und Rc dargestellt. Im Vergleich zu Fig. 1
ergibt sich, dass RC den Ohmschen Widerstand der selektier-
ten Speicherzelle 3 darstellt. Dieser liegt über die selek-
tierte Bitleitung BLk über die Wortleitungsspannung oder Le-
15 sespannung Vwl an Masse an.

Aus der Fig. 2 ergibt sich, dass die selektierte Bitleitung
BLk mit der Leseverstärkereinrichtung 20 über die Schalt-
transistoren T1 und T2 als erste und zweite Schaltelemente
20 verbunden sind. Bei komplexeren Speicheranordnungen kann es
notwendig sein, die Schalttransistoren T1 und T2 jeweils
auch durch eine komplexere Serienschaltung mehrerer Transi-
storeinrichtungen auszubilden. Die Anzahl der Transistoren,
welche als Serienschaltung für T1 und T2 eingesetzt werden
25 muss, ist für die Funktionsweise des hier vorgestellten er-
findungsgemäßen Prinzips aber im Wesentlichen unerheblich.

Erfindungsgemäß wirken die Schaltelemente T1 und T2 insbe-
sondere die entsprechenden Transistoreinrichtungen T1 und
30 T2, wie folgt: Über die Transistoreinrichtung T1 ist der
Eingang, nämlich der Potenzialabtastanschluss 22, der Lese-
verstärkereinrichtung 20 direkt mit dem Ende der selektier-
ten Bitleitungseinrichtung BLk verbunden. Die Leseverstär-
kereinrichtung 20 kann somit die an der selektierten Bitlei-
35 tung BLk anliegende Spannung Vsense direkt abtasten und er-
mitteln. Der Ohmsche Widerstand des Schaltelements oder der

BEST AVAILABLE COPY

Transistoreinrichtung 1 spielt wegen des relativ hohen Eingangswiderstands des Potenzialabtastwiderstandes 22 der Leseverstärkereinrichtung 20 keine Rolle, weil über das Schaltelement T1 kein nennenswerter Strom fließt, d.h., es gilt
5 im Wesentlichen $I_{sense} = 0$.

Über das zweite Schaltelement oder die zweite Transistoreinrichtung T2 regelt die Leseverstärkereinrichtung 20 über den Stromeinspeiseanschluss 24 die dort anliegende Spannung
10 V_{force} den Speisestrom oder Kompensationsstrom I_{comp} oder I_{force} solange nach, bis über das erste Schaltelemente oder die erste Transistoreinrichtung T1 an der selektierten Bitleitung BLk die korrekte Spannung detektiert wird und eingestellt ist.

15 Folglich ist auch der Ohmsche Widerstand des zweiten Schaltelements T2 dazu irrelevant, weil sein Einfluss von der Leseverstärkereinrichtung 20 ausgerichtet wird. Der Kompensations- oder Speisestrom I_{comp} , I_{force} wird von der Leseverstärkereinrichtung 20 ausgewertet und repräsentiert im Wesentlichen den ausgelesenen Programmierzustand oder Speicherzustand der selektierten Speicherzelle 3.

25 Die dargestellte erfindungsgemäße Schaltung ermöglicht somit die Realisierung einer Auswahleinrichtung 10, insbesondere eines Spaltenmultiplexers 7, bei welchem Spannungsabfälle über die Schaltelemente oder Schalttransistoren T1 und T2, welche durch fließende Leseströme I_{sense} , hervorgerufen werden könnten, keine Bedeutung haben.

Patentansprüche

1. Auswahleinrichtung für eine Halbleiterspeichereinrichtung oder dergleichen,

- 5 - welche für jede auswählbare Zugriffsleitungseinrichtung (4, 6), insbesondere für jede Bitleitungseinrichtung (4) oder dergleichen, zum Zugriff auf Speicherelemente (3) des Speicherbereichs (2) der Halbleiterspeichereinrichtung (1), welche mit der jeweiligen auswählbaren Zugriffslei-
- 10 tungseinrichtung (4, 6) verbunden sind, jeweils eine zugeordnete Schalteinrichtung (12) oder dergleichen aufweist,
- wobei durch die Schalteinrichtung (12) die jeweilige zugeordnete Zugriffsleitungseinrichtung (4, 6) bei Auswahl mit einer Leseverstärkereinrichtung (20) steuerbar verbindbar
- 15 ist, und zwar mit einem Potenzialabtastanschluss (22) der Leseverstärkereinrichtung (20) zum Erfassen des elektrischen Potenzials der jeweiligen Zugriffsleitungseinrichtung (4, 6) und mit einem Stromeinspeiseanschluss (24) der Leseverstärkereinrichtung (20) zum Einspeisen eines Kom-
- 20 pensationsstroms (Icomp, Isense) in die jeweilige Zugriffsleitungseinrichtung (4, 6),
- d a d u r c h g e k e n n z e i c h n e t ,
- dass jede Schalteinrichtung (12) jeweils ein erstes und ein zweites Schaltelement (T1, T2) aufweist,
- 25 - dass im Betrieb durch das erste Schaltelement (T1) die zugeordnete Zugriffsleitungseinrichtung (4, 6) mit dem Potenzialabtastanschluss (22) der Leseverstärkereinrichtung (20) verbindbar ist und
- dass in Betrieb durch das zweite Schaltelement (T2) die
- 30 zugeordnete Zugriffsleitungseinrichtung (4, 6) mit dem Stromeinspeiseanschluss (24) der Leseverstärkereinrichtung (20) verbindbar ist.

2. Auswahleinrichtung nach Anspruch 1,

- 35 d a d u r c h g e k e n n z e i c h n e t ,

BEST AVAILABLE COPY

dass die Schaltelemente (T1, T2) jeweils im Wesentlichen parallel zueinander geschaltet sind.

3. Auswahleinrichtung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,
dass durch die Schaltelemente (T1, T2) jeweils im Wesentlichen zwei Schaltzustände ausbildbar sind, insbesondere ein durchgeschalteter oder kontaktierender und ein nicht durchgeschalteter oder trennender Schaltzustand.

4. Auswahleinrichtung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,
dass durch das erste Schaltelement (T1) im ersten, durchgeschalteten oder kontaktierenden Schaltzustand ein vergleichsweise niederohmiger Kontakt herstellbar ist, insbesondere in Bezug auf den Potenzialabstastanschluss (22) der Leseverstärkereinrichtung (20).

5. Auswahleinrichtung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,
dass die Schaltelemente (T1, T2) als Transistoreinrichtungen ausgebildet sind, insbesondere als MOSFETs, oder dergleichen.

6. Auswahleinrichtung nach Anspruch 5,

d a d u r c h g e k e n n z e i c h n e t ,
dass jeweils Drainbereiche (D1, D2) der Transistoreinrichtung (T1, T2) mit der jeweils angeordneten Zugriffsleitungseinrichtung (4, 6) verbunden ausgebildet sind.

7. Auswahleinrichtung nach einem der Ansprüche 5 oder 6,

d a d u r c h g e k e n n z e i c h n e t ,

dass jeweils Sourcebereiche (S1, S2) der Transistoreinrichtungen (T1, T2) mit dem jeweiligen Potenzialanschluss (22) bzw. dem jeweiligen Stromeinspeiseanschluss (22) der zugeordneten Leseverstärkereinrichtung (20) verbunden ausgebildet sind.

8. Auswahleinrichtung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

10 dass die Mehrzahl der Ausgangsanschlüsse (14), insbesondere die Sourcebereiche (S1, S2) der ersten und zweiten Schaltelemente (T1, T2), jeweils mit einer gemeinsamen Leitungseinrichtung (16, 17) und über diese mit einer einzigen gemeinsamen Leseverstärkereinrichtung (20) verbunden ist.

Zusammenfassung

Auswahleinrichtung für eine Halbleiterspeichereinrichtung

- 5 Um bei einem Spaltenmultiplexer (10) einer Halbleiterspeichereinrichtung (1) von Leseströmen herrührende Spannungsabfälle zu vermeiden, wird vorgeschlagen, dass die Schalteinrichtungen (12) der Auswahleinrichtung (10) zwei Schaltelemente (T1, T2) aufweisen, wobei durch das erste und das
- 10 zweite Schaltelement (T1, T2) zugeordnete Bitleitungen (4) jeweils mit einem Potenzialabtastanschluss (22) bzw. mit einem Stromeinspeiseanschluss (24) eines jeweils zugeordneten Leseverstärkers (20) verbindbar sind.

15 (Fig. 2)

Bezugszeichenliste

| | |
|--------|--|
| 1 | Halbleiterspeichereinrichtung |
| 2 | Speicherbereich |
| 2' | nicht selektierter Speicherbereich |
| 3 | Speicherzelle |
| 3' | nicht selektierte Speicherzelle |
| 4 | Zugriffsleitungseinrichtung/Bitleitung |
| 6 | Zugriffsleitungseinrichtung/Wortleitung |
| 7 | Spaltenmultiplexer |
| 8 | Zeilenmultiplexer |
| 10 | Auswahleinrichtung |
| 12 | Schalteinrichtung |
| 12a | Knoten |
| 13 | Eingangsanschluss |
| 14 | Ausgangsanschluss |
| 15 | Ausgangsanschluss |
| 16 | Leitungseinrichtung |
| 17 | Leitungseinrichtung |
| 20 | Leseverstärkereinrichtung |
| 21 | Eingangsanschluss |
| 22 | Potenzialabtastanschluss |
| 23 | Ausgangsanschluss |
| 24 | Stromeinspeiseanschluss |
| BLj | Bitleitungseinrichtung |
| D1, D2 | Drainbereich |
| G1, G2 | Gatebereich |
| Ipar | Parallelstrom |
| Ic | Zellenstrom |
| Icomp | Kompensationsstrom/Speisestrom |
| Iforce | Kompensationsstrom/Speisestrom |
| Isense | Messstrom/Abtaststrom |
| T1 | erstes Schaltelement/erste Transistoreinrichtung |
| T2 | zweites Schaltelement/zweite Transistoreinrichtung |

Infineon Technologies AG
Siemens AZ: 2000 22722
Erfindungsmeldung: 2000 E 22518 DE

10842

| | |
|--------|--|
| Veq | Äquipotenzialspannung/Ausgleichsspannung |
| Vforce | Speisespannung/Kompensationsspannung |
| Vout | Ausgabespannung |
| Vsense | Abtastspannung |
| Vwl | Wortleitungsspannung/Lesespannung |
| WLi | Wortleitungseinrichtung |

BEST AVAILABLE COPY

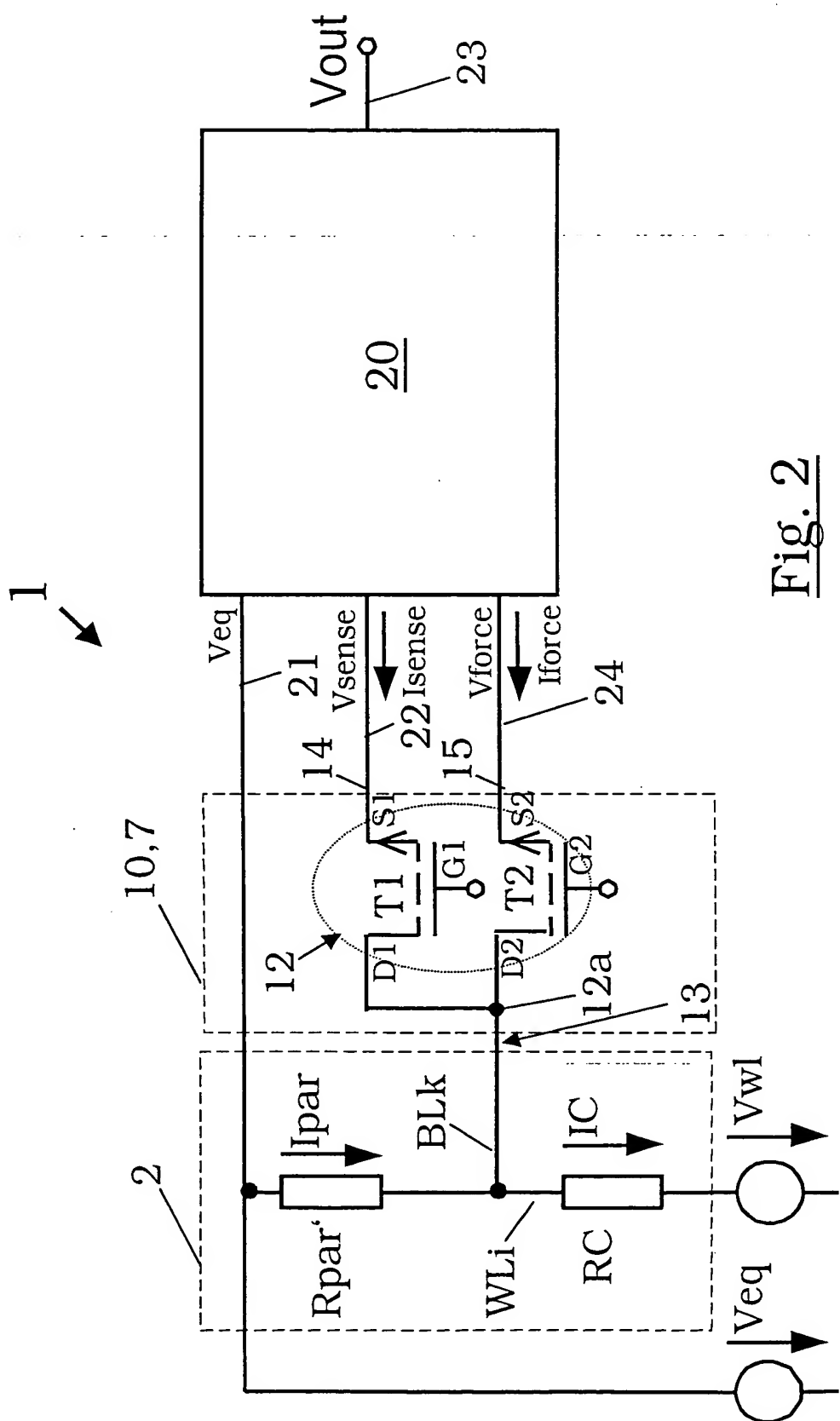


Fig. 2



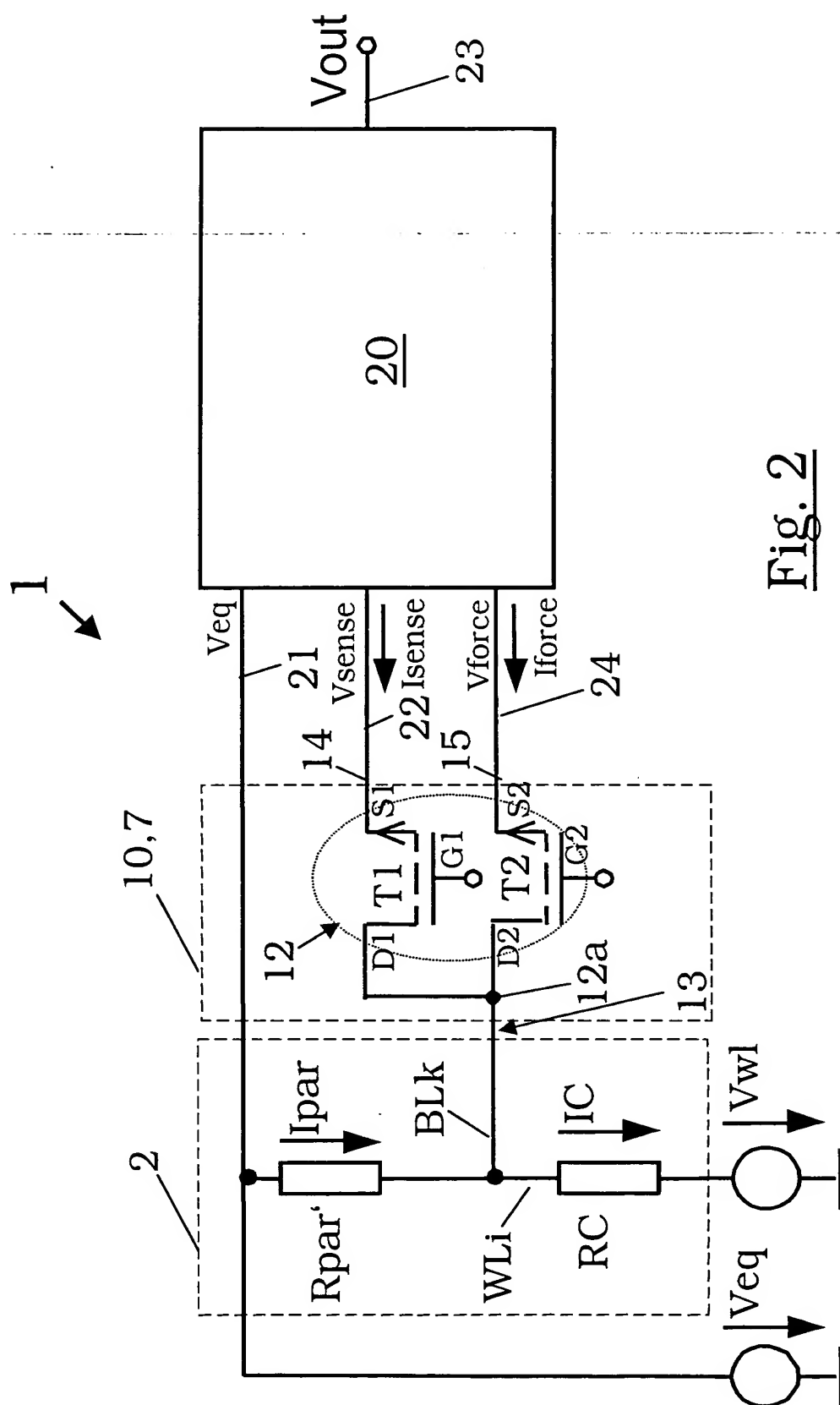


Fig. 2